

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images;  
please do not report the images to the  
Image Problem Mailbox.**



EXPRESS MAIL NO. EV336611546US

*Ministero delle Attività Produttive*  
*Direzione Generale per lo Sviluppo Produttivo e la Competitività*  
*Ufficio Italiano Brevetti e Marchi*  
*Ufficio G2*

Autenticazione di copia di documenti relativi alla domanda di brevetto per:

N.

MI2002 A 002314

**Invenzione Industriale**



*Si dichiara che l'unita copia è conforme ai documenti originali  
depositati con la domanda di brevetto sopraspecificata, i cui dati  
risultano dall'accluso processo verbale di deposito.*

Roma, li .....

**11 DIC. 2003**

per IL DIRIGENTE

*Paola Giuliano*  
D.ssa Paola Giuliano

31

MODULO A



## AL MINISTERO DELLE ATTIVITÀ PRODUTTIVE

UFFICIO ITALIANO BREVETTI E MARCHI - ROMA

DOMANDA DI BREVETTO PER INVENZIONE INDUSTRIALE. DEPOSITO RISERVE. ANTICIPATA ACCESSIBILITÀ AL PUBBLICO

## A. RICHIEDENTE (I)

1) Denominazione LSIMicroelectronics S.r.l. N.G. SR  
 Residenza AGRATE BRIANZA (MI) codice 00951900968

2) Denominazione \_\_\_\_\_  
 Residenza \_\_\_\_\_ codice \_\_\_\_\_

## B. RAPPRESENTANTE DEL RICHIEDENTE PRESSO L'U.I.B.M.

cognome nome PEZZOLI ENNIO ED ALTRI cod. fiscale \_\_\_\_\_

denominazione studio di appartenenza MACCALLI & PEZZOLI S.r.l.

via Settembrini n. 40 città MILANO cap 20124 (prov) MI

## C. DOMICILIO ELETTIVO destinatario

via \_\_\_\_\_ n. \_\_\_\_\_ città \_\_\_\_\_ cap \_\_\_\_\_ (prov) \_\_\_\_\_

## D. TITOLO

classe proposta (sez/cl/sci) \_\_\_\_\_ gruppo/sottogruppo \_\_\_\_\_/\_\_\_\_\_

"Circuito di rilevamento di una transizione logica con migliorata stabilità della durata di un impulso di un segnale di rilevamento"

## ANTICIPATA ACCESSIBILITÀ AL PUBBLICO:

SI ☐ NO ☒

SE ISTANZA: DATA \_\_\_\_\_/\_\_\_\_\_/\_\_\_\_ N° PROTOCOLLO \_\_\_\_\_

## E. INVENTORI DESIGNATI

cognome nome

cognome nome

1) CONFALONTI Emanuele 3) POIDOMANI Carla

2) SFORZIN Marco 4) LISI Carlo

## F. PRIORITÀ

nazione o organizzazione

tipo di priorità

numero di domanda

data di deposito

allegato S/R

1) \_\_\_\_\_/\_\_\_\_\_/\_\_\_\_/\_\_\_\_/\_\_\_\_

2) \_\_\_\_\_/\_\_\_\_\_/\_\_\_\_/\_\_\_\_/\_\_\_\_

## SCIOGLIMENTO RISERVE

Data N° Protocollo

## G. CENTRO ABILITATO DI RACCOLTA COLTURE DI MICROORGANISMI, denominazione

## H. ANNOTAZIONI SPECIALI

## DOCUMENTAZIONE ALLEGATA

N. es.

Doc. 1) 2 PROV n. pag. 134 riassunto con disegno principale, descrizione e rivendicazioni (obbligatorio 1 esemplare) .....

Doc. 2) 2 PROV n. tav. 106 disegno (obbligatorio se citato in descrizione, 1 esemplare) .....

Doc. 3) 1 RIS lettera d'incarico, procura o riferimento procura generale dich. sostitutiva .....

Doc. 4) 1 RIS designazione inventore .....

Doc. 5) 1 RIS documenti di priorità con traduzione in italiano .....

Doc. 6) 1 RIS autorizzazione o atto di cessione .....

Doc. 7) 1 nominativo completo del richiedente .....

8) attestati di versamento, totale Euro DUECENTONOVANTINO/80 obbligatorio

COMPILATO IL 31/10/2002

FIRMA DEL(I) RICHIEDENTE(I) ENNIO PEZZOLI

CONTINUA SI/NO NO

DEL PRESENTE ATTO SI RICHIEDE COPIA AUTENTICA SI/NO SI

CAMERA DI COMMERCIO IND. ART. E AGR. DI MILANO MILANO

codice 155

VERBALE DI DEPOSITO NUMERO DI DOMANDA MI2002A 002314 Reg. A.

L'anno DUEMILADUE, il giorno TRENTUNO, del mese di OTTOBRE

il(i) richiedente(i) sopraindicato(i) ha(hanno) presentato a me sottoscritto la presente domanda, corredata di 00 fogli aggiuntivi per la concessione del brevetto sopraportato.

I. ANNOTAZIONI- VARIE DELL'UFFICIALE- ROGANTE

IL DEPOSITANTE

(L'UFFICIALE ROGANTE

M. CORTONESI

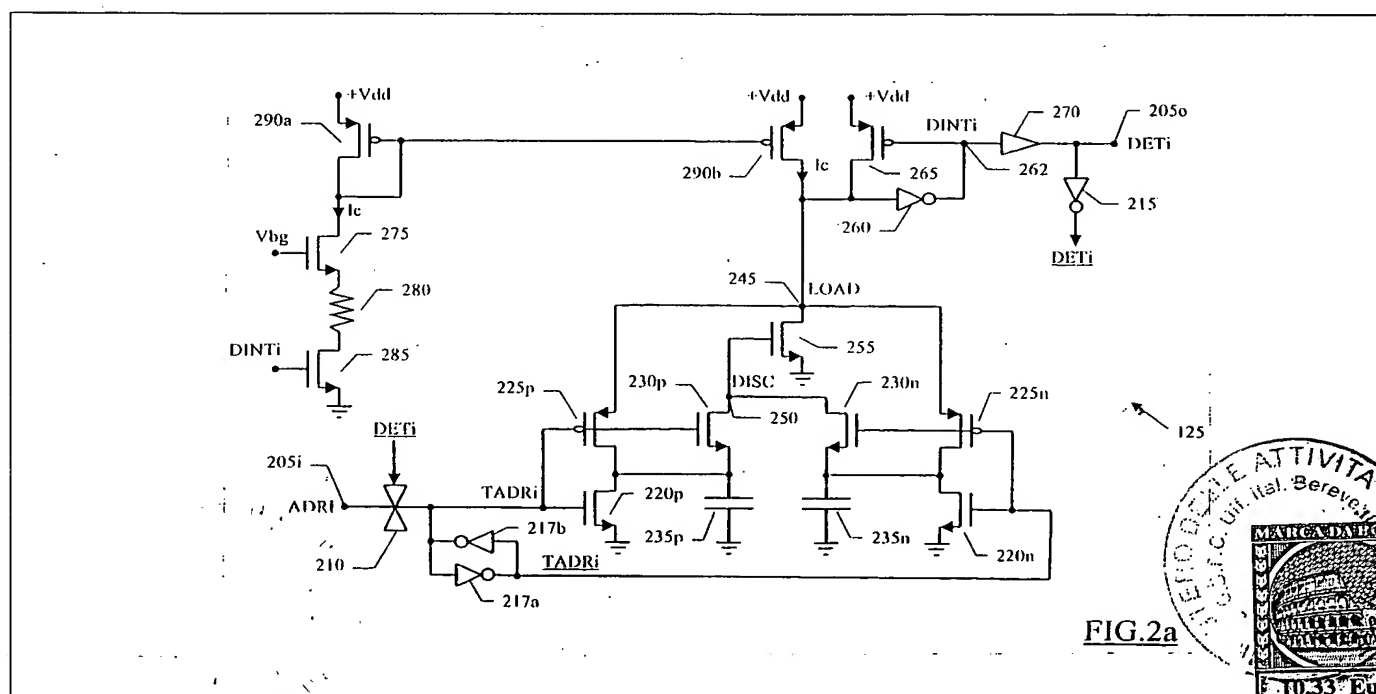
**D. TITOLO**

"Circuito di rilevamento di una transizione logica con migliorata stabilità della durata di un impulso di un segnale di rilevamento"

## L. RIASSUNTO

Un circuito di rilevamento di una transizione logica (125) è proposto. Il circuito comprende un terminale di ingresso (205i) per ricevere un segnale logico, un terminale di uscita (205o) per generare un segnale di rilevamento, due condensatori (235n, 235p), in una condizione stabile un primo dei condensatori (235n) ed un secondo dei condensatori (235p) essendo alternativamente ad una prima tensione e ad una seconda tensione, rispettivamente, e mezzi di scambio (220n-225n; 220p-225p) per portare il primo condensatore alla seconda tensione ed il secondo condensatore alla prima tensione in risposta ad una commutazione del segnale logico; il circuito ulteriormente comprende mezzi (265) per mantenere un nodo di comando (245) alla prima tensione nella condizione stabile, mezzi (230n; 230p) per generare un impulso di azzeramento tramite il primo condensatore in risposta alla commutazione, mezzi (255) per portare il nodo di comando alla seconda tensione in risposta all'impulso di azzeramento, un generatore di corrente stabilizzata (275-290b) per riportare il nodo di comando alla prima tensione tramite il secondo condensatore, e mezzi logici (260, 265) aventi una tensione di soglia stabilizzata compresa tra la prima e la seconda tensione, i mezzi logici asserendo il segnale di rilevamento quando il nodo di comando è portato alla seconda tensione e deasserendo il segnale di rilevamento quando il nodo di comando raggiunge la tensione di soglia.

## M. DISEGNO



Ing. Ennio PEZZOLI  
N. Iscriz. 528  
(in proprio e per gli altri)

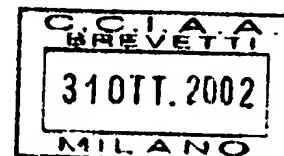
DESCRIZIONE

MI 2002A 002314

dell'invenzione industriale dal titolo:

"Circuito di rilevamento di una transizione logica con  
migliorata stabilità della durata di un impulso di un  
5 segnale di rilevamento"

A nome: STMicroelectronics S.r.l.

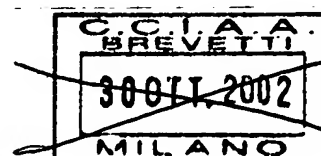


\* \* \* \* \*

La presente invenzione riguarda un circuito di  
rilevamento di una transizione logica con migliorata  
10 stabilità della durata di un impulso di un segnale di  
rilevamento.

I circuiti di rilevamento di una transizione logica  
(Logic Transition Detection, o LTD) sono largamente noti;  
tali circuiti generano un segnale di rilevamento di tipo  
15 impulsivo, in risposta ad una transizione di un segnale  
logico (sia con un fronte di salita dal valore logico 0  
al valore logico 1 sia con un fronte di discesa dal  
valore logico 1 al valore logico 0).

I circuiti LTD trovano comunemente applicazione in  
20 dispositivi che devono essere in grado di reagire a  
qualsiasi commutazione del segnale logico  
(indipendentemente dal tipo di fronte della transizione).  
Ad esempio, i circuiti LTD sono utilizzati in un  
dispositivo di memoria asincrono per attivare  
25 un'operazione di lettura a seguito di una commutazione di



un indirizzo in ingresso; in tale caso, essi sono anche noti come circuiti di rilevamento di una transizione di indirizzo (Address Transition Detection, o ATD).

Diverse strutture sono state proposte per implementare i circuiti LTD. Una soluzione nota consiste nell'applicare il segnale logico ad una linea di ritardo. Il segnale logico così ritardato è quindi confrontato con il segnale logico originario. Quando questi due segnali sono uguali, il segnale di rilevamento è deasserito; viceversa, il segnale di rilevamento è asserito. In questo modo, ogni transizione del segnale logico genera un impulso avente una durata uguale al ritardo introdotto.

Un inconveniente della struttura sopra descritta consiste nel fatto che è estremamente difficile realizzare linee di ritardo precise e con caratteristiche stabili (ad esempio, al variare di una tensione di alimentazione del circuito LTD oppure di una sua temperatura di esercizio). Pertanto, non è possibile controllare in modo accurato la durata dell'impulso del segnale di rilevamento.

Una diversa soluzione nota nell'arte prevede l'uso di due condensatori, i quali sono comandati dal segnale logico e dal suo valore negato, rispettivamente; i segnali generati dai due condensatori sono quindi

confrontati tra loro. In una condizione stabile, la tensione ai capi di un condensatore è uguale ad una tensione di alimentazione mentre la tensione ai capi dell'altro condensatore è uguale ad una tensione di riferimento (o massa); di conseguenza, il segnale di rilevamento è deasserito. Ad ogni commutazione del segnale logico, il condensatore alla tensione di alimentazione è scaricato a massa ed il condensatore a massa è caricato alla tensione di alimentazione (tramite  
5 rispettivi transistori MOS); il circuito è dimensionato in modo che il tempo di carica sia sempre superiore al tempo di scarica. Di conseguenza, il segnale di rilevamento è asserito nell'intervallo di tempo in cui entrambi i segnali generati dai due condensatori sono  
10 inferiori ad una tensione di soglia prefissata.  
15

Tuttavia, anche il funzionamento di questo circuito è fortemente dipendente dalle sue condizioni operative. In particolare, un incremento della tensione di alimentazione e/o una diminuzione della temperatura  
20 migliorano la conducibilità dei transistori MOS, con ciò riducendo la durata dei tempi di scarica e di carica dei condensatori; tuttavia, tale riduzione è quasi impercettibile per la scarica (molto veloce). La diminuzione della temperatura abbassa inoltre la tensione  
25 di soglia. Ne consegue che la durata dell'impulso del

**Ing. Ennio PEZZOLI**  
**N. Iscriz. 528**  
**(in proprio e per gli altri)**

segnale di rilevamento diminuisce al crescere della tensione di alimentazione ed al diminuire della temperatura.

Tale variabilità della durata dell'impulso del  
5 segnale di rilevamento è estremamente dannosa. Ad esempio, in un dispositivo di memoria il circuito ATD dovrà essere dimensionato in modo da assicurare una durata dell'impulso tale da garantire l'attivazione dell'operazione di lettura anche nella peggiore  
10 condizione operativa del circuito; pertanto, in una condizione operativa standard la durata dell'impulso è maggiore del necessario, con ciò aumentando un tempo di accesso in lettura del dispositivo di memoria.

Scopo della presente invenzione è di ovviare ai  
15 suddetti inconvenienti. Per raggiungere tale scopo è proposto un circuito come indicato nella prima rivendicazione.

In breve, la presente invenzione prevede un circuito di rilevamento di una transizione logica comprendente un  
20 terminale di ingresso per ricevere un segnale logico, un terminale di uscita per generare un segnale di rilevamento, due condensatori, in una condizione stabile un primo dei condensatori ed un secondo dei condensatori essendo alternativamente ad una prima tensione e ad una  
25 seconda tensione, rispettivamente, e mezzi di scambio per





portare il primo condensatore alla seconda tensione ed il secondo condensatore alla prima tensione in risposta ad una commutazione del segnale logico, in cui il circuito ulteriormente comprende mezzi per mantenere un nodo di comando alla prima tensione nella condizione stabile, mezzi per generare un impulso di azzeramento tramite il primo condensatore in risposta alla commutazione, mezzi per portare il nodo di comando alla seconda tensione in risposta all'impulso di azzeramento, un generatore di corrente stabilizzata per riportare il nodo di comando alla prima tensione tramite il secondo condensatore, e mezzi logici aventi una tensione di soglia stabilizzata compresa tra la prima e la seconda tensione, i mezzi logici asserendo il segnale di rilevamento quando il nodo di comando è portato alla seconda tensione e deasserendo il segnale di rilevamento quando il nodo di comando raggiunge la tensione di soglia.

Inoltre, la presente invenzione propone anche un dispositivo di memoria asincrono comprendente tale circuito ed un corrispondente metodo di rilevamento di una transizione logica.

Ulteriori caratteristiche ed i vantaggi della soluzione secondo la presente invenzione risulteranno dalla descrizione di seguito riportata di una sua forma di realizzazione preferita, data a titolo indicativo e

non limitativo, con riferimento alle figure allegate, in cui:

Figura 1 è uno schema a blocchi di principio di un dispositivo di memoria asincrono in cui il circuito  
5 dell'invenzione può essere usato;

Figura 2a mostra una prima forma di realizzazione del circuito;

Figura 2b illustra in diagramma temporale qualitativo le forme d'onda di alcune grandezze  
10 elettriche del circuito;

Figura 3a rappresenta una seconda forma di realizzazione del circuito;

Figura 3b è un diagramma temporale relativo al funzionamento della seconda forma di realizzazione del  
15 circuito;

Figura 4 mostra le caratteristiche di un segnale di rilevamento al variare delle condizioni operative.

Con riferimento in particolare alla Figura 1, è illustrato un dispositivo di memoria 100 di tipo  
20 asincrono (ad esempio, una E<sup>2</sup>PROM flash). Il dispositivo di memoria 100 include una matrice di celle di memoria 105. Un decodificatore di colonna 110c ed un decodificatore di riga 110r sono usati per selezionare le celle di memoria della matrice 105 in risposta ad un  
25 indirizzo ADR. L'indirizzo ADR è ricevuto in modo

**Ing. Ennio PEZZOLI**  
**N. Iscriz. 528**  
**(in proprio e per gli altri)**

asincrono dall'esterno; l'indirizzo ADR è applicato ad un elemento di adattamento (buffer) 115, il quale pilota i decodificatori 110c e 110r di conseguenza. Il decodificatore di colonna 110c si interfaccia anche con  
5 una unità (R/W) 120, la quale include i circuiti necessari per la lettura e per la scrittura di un blocco di dati DAT nelle celle di memoria selezionate.

L'indirizzo ADR in uscita dal buffer 115 è anche fornito ad un circuito di rilevamento di una transizione  
10 di indirizzo (ATD) 125. Come descritto in dettaglio nel seguito, il circuito ATD 125 produce in uscita un segnale di rilevamento DET, il quale è asserito per un breve intervallo di tempo ogniqualevolta l'indirizzo ADR commuta. Il segnale di rilevamento DET è applicato ad un  
15 controllore 130, il quale genera una sequenza di segnali di controllo (indicati nel complesso con Sc) per le altre unità del dispositivo di memoria 100; ad esempio, il controllore 130 attiva l'esecuzione di una operazione di lettura dalla matrice 105 in risposta ad ogni impulso del  
20 segnale di rilevamento DET.

Considerazioni analoghe si applicano se il dispositivo di memoria ha un'altra struttura, se il circuito ATD è utilizzato per attivare una diversa operazione, se il circuito ATD è inserito in un  
25 dispositivo di memoria di altro tipo, e simili. In ogni

Ing. ~~Ennio~~ PEZZOLI

N. iscriz. 528

(in proprio e per gli altri)

caso, i concetti della presente invenzione sono applicabili più in generale ad un circuito di rilevamento di una transizione logica (LTD), il quale è utilizzabile in una qualsiasi altra applicazione.

5 Come mostrato in Figura 2a, il circuito ATD 125 include un terminale di ingresso 205i per ogni bit dell'indirizzo (indicato genericamente con AD<sub>Ri</sub>); un terminale di uscita 205o fornisce un corrispondente bit del segnale di rilevamento, indicato con DET<sub>i</sub> (tutti i  
10 segnali DET<sub>i</sub> sono messi in OR per ottenere il segnale di rilevamento complessivo).

L'indirizzo AD<sub>Ri</sub> è applicato ad un filtro formato da una porta di trasferimento 210; la porta di trasferimento 210 è abilitata dal segnale di rilevamento DET<sub>i</sub> negato  
15 tramite una porta logica NOT 215 (segnale DET<sub>i</sub>). L'indirizzo AD<sub>Ri</sub> trasferito dalla porta 210 (indicato con TAD<sub>Ri</sub>) è quindi applicato al terminale di ingresso di una porta logica NOT 217a; una ulteriore porta logica NOT 217b ha il terminale di ingresso ed il terminale di  
20 uscita che sono collegati al terminale di uscita ed al terminale di ingresso, rispettivamente, della porta NOT 217a. In questo modo, le porte NOT 217a, 217b definiscono un elemento di staticizzazione (latch); il quale fornisce l'indirizzo trasferito TAD<sub>Ri</sub> (al terminale di uscita  
25 della porta NOT 217b) ed il suo valore negato indicato



con TAD<sub>Ri</sub> (al terminale di uscita della porta NOT 217a);  
tale struttura assicura inoltre che ogni commutazione dei  
due segnali TAD<sub>Ri</sub> e TAD<sub>Ri</sub> sia sostanzialmente  
contemporanea.

5        L'indirizzo trasferito TAD<sub>Ri</sub> controlla un primo ramo  
di un blocco di scambio di carica. In particolare,  
l'indirizzo trasferito TAD<sub>Ri</sub> è fornito ai terminali di  
gate di un transistor NMOS 220p, di un transistor PMOS  
225p, e di un transistor NMOS 230p. Il transistor 220p  
10 ha il terminale di source connesso ad un terminale di  
massa. Il terminale di drain del transistor 220p, il  
terminale di drain del transistor 225p, ed il terminale  
di source del transistor 230p sono tutti connessi al  
primo terminale di un condensatore 235p; il secondo  
15 terminale del condensatore 235p è connesso al terminale  
di massa. In modo del tutto analogo a quanto descritto  
sopra, l'indirizzo trasferito negato TAD<sub>Ri</sub> controlla un  
secondo ramo del blocco di scambio di carica (formato da  
un transistor NMOS 220n, da un transistor PMOS 225n e  
20 da un transistor NMOS 230n), il quale è associato ad un  
condensatore 235n.

Il terminale di source del transistor 225p ed il  
terminale di source del transistor 225n sono collegati  
tra loro, in modo da definire un nodo di comando 245. Il  
25 terminale di drain del transistor 230p ed il terminale

di drain del transistore 230n definiscono allo stesso modo un nodo comune di azzeramento (reset) 250. Il segnale al nodo di azzeramento 250 (indicato con DISC) controlla il terminale di gate di un transistore NMOS  
5 255. Il terminale di source del transistore 255 è collegato al terminale di massa, mentre il suo terminale di drain è collegato al nodo di comando 245.

Il segnale al nodo di comando 245 (indicato con LOAD) è fornito ad un blocco logico di digitalizzazione.  
10 In particolare, il segnale di comando LOAD è applicato in ingresso ad una porta logica NOT 260. Il terminale di uscita della porta NOT 260 definisce un nodo di rilevamento interno 262, il quale è connesso al terminale di gate di un transistore PMOS 265. Il transistore 265 ha  
15 il terminale di source connesso ad un terminale di alimentazione, il quale fornisce una tensione +Vdd (ad esempio, 1.5V rispetto a massa); il terminale di drain del transistore 265 è invece connesso al nodo di comando 245. Il segnale al nodo di rilevamento interno 262  
20 (indicato con DINTi) è anche applicato ad un buffer 270; il terminale di uscita del buffer 270 è collegato direttamente al terminale di uscita 205o.

Il nodo di comando 245 è inoltre accoppiato ad un generatore di corrente costante. In dettaglio, il  
25 generatore di corrente include un transistore NMOS 275,

il quale riceve una tensione di riferimento  $V_{bg}$  (ad esempio, generata da un circuito "di band gap) al suo terminale di gate. Il terminale di source del transistor 275 è connesso, attraverso un resistore 280, al terminale di drain di un ulteriore transistor NMOS 285. Il transistor 285 ha il terminale di source connesso al terminale di massa, e riceve il segnale di rilevamento interno DINTi al suo terminale di gate. Uno specchio di corrente che consiste di due transistori PMOS 290a e 290b è interposto tra il transistor 275 ed il nodo di comando 245. In particolare, il terminale di drain del transistor 290a è connesso al terminale di drain del transistor 275, ed il terminale di drain del transistor 290b è connesso al nodo di comando 245. Entrambi i transistori 290a e 290b hanno i terminali di source connessi al terminale di alimentazione; il terminale di gate del transistor 290a è corto-circuitato al suo terminale di drain ed al terminale di gate del transistor 290b.

Il funzionamento del circuito ATD 125 è ora descritto considerando congiuntamente la Figura 2a e la Figura 2b. In una condizione stabile (come risulterà nel seguito), il segnale di rilevamento interno DINTi ed il segnale di rilevamento DETi sono ad un livello logico 0 (0V). Pertanto, il segnale di rilevamento negato DET<sub>i</sub>

apre la porta di trasferimento 210. In questo modo, l'indirizzo AD<sub>Ri</sub> è trasferito e memorizzato nel latch 217a, 217b. Supponendo che l'indirizzo trasferito TAD<sub>Ri</sub> sia ad un livello logico 1 (+V<sub>dd</sub>), nel corrispondente  
5 ramo del blocco di scambio di carica i transistori 220p e 230p saranno accessi, mentre il transistore 225p sarà spento. Allo stesso tempo, l'indirizzo trasferito negato TAD<sub>Ri</sub> è al livello 0; di conseguenza, nell'altro ramo del blocco di scambio di carica i transistori 220n e 230n  
10 saranno spenti, mentre il transistore 225n sarà acceso.

In questo modo, il nodo di azzeramento 250 è mantenuto a massa dai transistori 230p e 220p; pertanto, il transistore 255 è spento. Al contrario, il nodo di comando 245 è mantenuto alla tensione di alimentazione  
15 dal transistore 265 (il quale è acceso dal segnale di rilevamento interno DINT<sub>i</sub> al valore 0). Ne consegue che la tensione ai capi del condensatore 235p (indicata con V<sub>p</sub>) è nulla, in quanto il suo terminale superiore è connesso a massa tramite il transistore 220p; la tensione  
20 ai capi del condensatore 235n (indicata con V<sub>n</sub>) è invece uguale alla tensione di alimentazione, in quanto il suo terminale superiore è connesso al terminale di alimentazione tramite i transistori 225n e 265. Allo stesso tempo, il transistore 285 è spento dal segnale di  
25 rilevamento interno DINT<sub>i</sub> (al valore 0), per cui





funzionamento dell'intero generatore di corrente è disabilitato.

Si supponga ora che ad un generico istante  $t_1$  l'indirizzo  $AD_{Ri}$  commuti dal valore 1 al valore 0. Di conseguenza, l'indirizzo trasferito  $TAD_{Ri}$  spegne i transistori 220p, 230p ed accende il transistore 225p. Allo stesso tempo, l'indirizzo trasferito negato  $\overline{TAD_{Ri}}$  (al livello 1) accende i transistori 220n, 230n e spegne il transistore 225n.

10 In questo modo, il condensatore 235n è connesso al nodo di azzeramento 250 tramite il transistore 230n. La carica del condensatore 235n si ripartisce quindi con il nodo di azzeramento 250; indicando con  $C_n$  la capacità del condensatore 235n e con  $C_s$  la capacità parassita del nodo di azzeramento 250, la tensione  $V_n$  ai capi del condensatore 235n ed il segnale di azzeramento DISC si portano al valore:

$$V_{n, DISC} = V_{dd} \frac{C_n}{C_n + C_s}$$

Tale fenomeno di ripartizione di cariche è molto veloce, con una costante di tempo definita dalle capacità  $C_n, C_s$  e da una resistenza del transistore 230n. Nel frattempo, la tensione  $V_p$  ai capi del condensatore 235p aumenta leggermente per il collegamento al nodo di comando 245 attraverso il transistore 225p. Appena il segnale di azzeramento DISC (al nodo 250) raggiunge la tensione di

25

soglia del transistor 255 (istante  $t_2$ ), tale transistor è acceso; il nodo di comando 245 è quindi portato immediatamente a massa (interrompendo la carica del condensatore 235p).

5 Di conseguenza, il segnale di rilevamento interno DINTi e quindi anche il segnale di rilevamento DETi commutano al valore 1. Il transistor 265 è quindi spento dal segnale di rilevamento interno DINTi. Inoltre, il segnale di rilevamento interno DINTi accende il  
10 transistor 285, il quale abilita il funzionamento del generatore di corrente. In particolare, la tensione di riferimento Vbg pilota il transistor 275 in modo che esso fornisca una corrente  $I_c$  indipendente della temperatura e dalla tensione di alimentazione; la  
15 corrente  $I_c$  è quindi specchiata dai transistori 290a, 290b verso il nodo di comando 245. Allo stesso tempo, il segnale di rilevamento negato DETi chiude la porta di trasferimento 210; in questo modo, i segnali TADRi e TADRi rimangono uguali ai valori memorizzati nel latch  
20 217a, 217b con ciò mascherando ogni eventuale ulteriore commutazione dell'indirizzo ADri.

Nel frattempo, il condensatore 235n continua a scaricarsi a massa attraverso il transistor 220n, abbassando di conseguenza anche la tensione al nodo di  
25 azzeramento 250 (attraverso il transistor 230n). Anche

tale fenomeno è molto veloce, con una costante di tempo definita dalla capacità  $C_n$  e da una resistenza del transistore 220n. Quando all'istante  $t_3$  la tensione al nodo di azzeramento 250 scende al di sotto della tensione di soglia del transistore 255 (terminando l'impulso del segnale di azzeramento DISC), tale transistore è nuovamente spento.

Il nodo di comando 245 inizia quindi a caricarsi tramite la corrente  $I_c$  (fornita dal transistore 290b), sino a quando il segnale di comando LOAD raggiunge la tensione di soglia della porta NOT 260 (istante  $t_4$ ); a tale riguardo, si noti che il transistore 265 è connesso in retroazione alla porta NOT 260, così da stabilizzare la sua tensione di soglia (al variare della tensione di alimentazione e della temperatura). Di conseguenza, il segnale di rilevamento interno DINTi e quindi anche il segnale di rilevamento DETi commutano nuovamente al valore 0. Il segnale di rilevamento interno DINTi spegne quindi il transistore 285, con ciò disabilitando il funzionamento del generatore di corrente. Inoltre, il segnale di rilevamento negato DETi apre nuovamente la porta di trasferimento 210. Allo stesso tempo, il transistore 265 è acceso dal segnale di rilevamento interno DINTi. In questo modo, la tensione al nodo di comando 245 e la tensione  $V_p$  ai capi del condensatore

235p sono portate molto velocemente alla tensione di alimentazione.

Il comportamento del circuito ATD 125 è del tutto analogo in risposta ad una commutazione dell'indirizzo  
5 ADRI dal valore 0 al valore 1. La simmetria del blocco di scambio di carica assicura inoltre che la condizione iniziale al nodo di comando 245 sia sempre uguale, indipendentemente dal fronte della transizione.

In ogni caso, i concetti della presente invenzione  
10 sono applicabili anche quando è previsto un filtro equivalente per l'indirizzo, quando il generatore di corrente è realizzato in modo diverso, oppure quando un circuito equivalente è utilizzato per stabilizzare la tensione di soglia della porta NOT che genera il segnale  
15 di rilevamento interno. In alternativa, i transistori NMOS e PMOS sono sostituiti da interruttori elettronici equivalenti, il circuito ATD ha un comportamento duale (con la corrente  $I_c$  che è utilizzata per scaricare il nodo di comando LOAD), e simili.

20 Una diversa forma di realizzazione del circuito ATD 125 è illustrata in Figura 3a (gli elementi corrispondenti a quelli mostrati nella Figura 2a sono identificati con gli stessi riferimenti, e la loro spiegazione è omessa per semplicità di descrizione).

25 In tale caso, un transistor NMOS 305 è interposto



tra il nodo di comando 245 ed il terminale di drain del transistore 255 (il quale definisce un nodo di scatto, indicato con 310). In particolare, il transistore 305 ha il terminale di source connesso ai terminali di source  
5 dei transistori 225p e 225n, ed il terminale di drain connesso al terminale di drain del transistore 290b ed al terminale di ingresso della porta NOT 260. Un ulteriore transistore NMOS 315 ha il terminale di drain connesso al nodo di comando 245, mentre il suo terminale di source è  
10 collegato al terminale di massa; il terminale di gate del transistore 315 riceve il segnale di azzeramento DISC. Inoltre, il segnale di rilevamento interno DINTi (al terminale di uscita dalla porta NOT 260) controlla il terminale di gate di un transistore PMOS 317. Il  
15 transistore 317 ha il terminale di source connesso al terminale di alimentazione, ed il terminale di drain connesso al nodo di scatto 310.

Il transistore 305 è pilotato da un blocco di regolazione. In particolare, una porta logica NOT è  
20 formata da un transistore NMOS 320l e da un transistore PMOS 320h. I terminali di gate dei transistori 320l e 320h sono collegati tra loro, in modo da definire il terminale di ingresso della porta NOT 320l,320h (cui è applicato il segnale di scatto TRIG). Il transistore 320l  
25 ha il terminale di source connesso al terminale di massa.

I terminali di drain dei transistori 320l e 320h sono collegati tra loro, in modo da definire il terminale di uscita della porta NOT 320l,320h. Il segnale al terminale di uscita della porta NOT 320l,320h (indicato con THR) è applicato al terminale di gate del transistore 305.

La porta NOT 320l,320h ha una doppia struttura di polarizzazione. In particolare, un transistore PMOS 325 definisce un ulteriore ramo dello specchio del generatore di corrente. A tale scopo, il transistore 325 ha il terminale di gate connesso al terminale di gate del transistore 290a; il terminale di source del transistore 325 è connesso al terminale di alimentazione, mentre il suo terminale di drain è connesso al terminale di source del transistore 320h. Un ulteriore transistore PMOS 330 ha il terminale di source connesso al terminale di alimentazione, ed il terminale di drain connesso al terminale di source del transistore 320h; il terminale di gate del transistore 330 è controllato dal segnale di rilevamento interno DINTi.

Il funzionamento del circuito ATD 125 è ora descritto considerando congiuntamente la Figura 3a e la Figura 3b. Analogamente al caso precedente, in una condizione stabile il segnale di rilevamento interno DINTi ed il segnale di rilevamento DETi sono al livello 0, per cui il segnale di rilevamento negato DETi apre la

porta di trasferimento 210. Supponendo che l'indirizzo trasferito TAD<sub>Ri</sub> sia al livello 1, i transistori 220p e 230p saranno accessi, mentre il transistor 225p sarà spento. Allo stesso tempo, l'indirizzo trasferito negato  
5 TAD<sub>Ri</sub> (al livello 0) spegne i transistori 220n, 230n ed accende il transistor 225n.

In questo modo, il nodo di azzeramento 250 è mantenuto a massa dai transistori 230p e 220p; pertanto, il transistor 255 ed il transistor 315 sono spenti. Al  
10 contrario, il nodo di carica 245 ed il nodo di scatto 310 sono mantenuti alla tensione di alimentazione dal transistor 265 e dal transistor 317, rispettivamente (i quali sono accessi dal segnale di rilevamento interno DINT<sub>i</sub> al valore 0). Ne consegue che la tensione V<sub>p</sub> ai  
15 capi del condensatore 235p è nulla, in quanto il suo terminale superiore è connesso a massa tramite il transistor 220p; la tensione V<sub>n</sub> ai capi del condensatore 235n è invece uguale alla tensione di alimentazione, in quanto il suo terminale superiore è connesso al terminale  
20 di alimentazione tramite i transistori 225n e 317.

Allo stesso tempo, il transistor 285 è spento dal segnale di rilevamento interno DINT<sub>i</sub> (al valore 0), per cui il funzionamento del generatore di corrente è disabilitato. Il segnale di rilevamento interno DINT<sub>i</sub>  
25 accende invece il transistor 330, il quale polarizza la

Ing. **Ennio PEZZOLI**~~N. Iscritt. 528~~

(in proprio e per gli altri)

porta NOT 320l,320h. Il segnale di controllo THR è quindi al livello 0 (in risposta al segnale di scatto TRIG al livello 1); di conseguenza, il transistor 305 è spento.

Si supponga ora che ad un generico istante  $t_1$  l'indirizzo AD<sub>Ri</sub> commuti dal valore 1 al valore 0. Di conseguenza, l'indirizzo trasferito TAD<sub>Ri</sub> spegne i transistori 220p,230p ed accende il transistor 225p. Allo stesso tempo, l'indirizzo trasferito negato TAD<sub>Ri</sub> (al livello 1) accende i transistori 220n,230n e spegne il transistor 225n.

La carica sul condensatore 235n si ripartisce quindi con il nodo di azzeramento 250 (tramite il transistor 230n). Nel frattempo, la tensione  $V_p$  ai capi del condensatore 235p aumenta leggermente per il collegamento al nodo di scatto 310 attraverso il transistor 225p.

Appena il segnale di azzeramento DISC (al nodo 250) raggiunge la tensione di soglia dei transistori 255 e 315 (istante  $t_2$ ), tali transistori sono accesi; il nodo di scatto 310 ed il nodo di comando 245 sono quindi portati immediatamente a massa (interrompendo la carica del condensatore 235p).

Di conseguenza, il segnale di controllo THR commuta al livello 1, con ciò accendendo il transistor 305; tale transizione è estremamente rapida, grazie alla elevata corrente fornita alla porta NOT 320l,320h dal transistor





**Ing. Ennio PEZZOLI**  
**N. Iscriz. 528**  
**(in proprio e per gli altri)**

330. Allo stesso tempo, il segnale di rilevamento interno DINTi ed il segnale di rilevamento DETi commutano al valore 1. Il transistor 265 ed il transistor 317 sono così spenti (dal segnale di rilevamento interno DINTi).

5 Inoltre, il segnale di rilevamento interno DINTi spegne il transistor 330 ed accende il transistor 285 (il quale abilita il funzionamento del generatore di corrente). In questo modo, la porta NOT 320l, 320h è polarizzata dalla corrente costante  $I_c$ , così da

10 stabilizzare la sua tensione di soglia (al variare della tensione di alimentazione e della temperatura). Allo stesso tempo, il segnale di rilevamento negativo DETi chiude la porta di trasferimento 210 (per mascherare ogni eventuale ulteriore commutazione dell'indirizzo ADri).

15 Nel frattempo, il condensatore 235n continua a scaricarsi a massa attraverso il transistor 220n, abbassando di conseguenza anche la tensione al nodo di azzeramento 250 (attraverso il transistor 230n). Quando all'istante  $t_3$  la tensione al nodo di azzeramento 250

20 scende al di sotto della tensione di soglia dei transistori 255 e 315 (terminando l'impulso del segnale di azzeramento DISC), tali transistori sono nuovamente spenti.

Il nodo di scatto 310 ed il nodo di comando 245

25 iniziano quindi a caricarsi tramite la corrente  $I_c$

fornita dai transistori 290b e 305. Appena il segnale di scatto TRIG raggiunge la tensione di soglia della porta NOT 320l, 320h (istante  $t_4$ ), il segnale di controllo THR commuta nuovamente al livello 0, con ciò spegnendo il  
5 transistore 305. Il nodo di comando 245 si porta quindi velocemente (attraverso il transistore 290b) alla tensione di alimentazione (istante  $t_5$ ).

Di conseguenza, il segnale di rilevamento interno DINTi ed il segnale di rilevamento DETi commutano  
10 nuovamente al valore 0. Il segnale di rilevamento interno DINTi spegne quindi il transistore 285 (disabilitando il funzionamento del generatore di corrente) ed accende il transistore 330. Inoltre, il segnale di rilevamento negato DETi apre nuovamente la porta di trasferimento  
15 210. Allo stesso tempo, il transistore 265 ed il transistore 317 sono accesi dal segnale di rilevamento interno DINTi. In questo modo, la tensione al nodo di scatto 310 e la tensione Vp ai capi del condensatore 235p sono portate molto velocemente alla tensione di  
20 alimentazione.

Il comportamento del circuito ATD 125 è del tutto analogo in risposta ad una commutazione dell'indirizzo AD Ri dal valore 0 al valore 1.

In ogni caso, i concetti della presente invenzione  
25 sono applicabili anche quando il nodo di scatto è

controllato in altro modo, quando è prevista una diversa implementazione del blocco di regolazione, quando il blocco di regolazione è utilizzato per stabilizzare la tensione di soglia della porta NOT che genera il segnale  
5 di rilevamento interno, e simili.

Le caratteristiche dell'impulso del segnale di rilevamento DETi (al variare delle condizioni operative del circuito ATD) sono messe a confronto in Figura 4. In particolare la forma d'onda 405a rappresenta l'impulso  
10 ottenuto con un circuito ATD noto funzionante con una tensione di alimentazione  $+V_{dd}=1.6V$  e ad una temperatura  $T=80^{\circ}C$ . Se la tensione di alimentazione è aumentata a  $+V_{dd}=2V$  e la temperatura è abbassata a  $T=-40^{\circ}C$ , la durata dell'impulso è fortemente ridotta, come mostrato dalla  
15 forma d'onda 405b.

Al contrario, nel circuito ATD illustrato in Figura 2a la stabilità della durata dell'impulso del segnale di rilevamento DETi è notevolmente migliorata; tale risultato è evidente confrontando la forme d'onda 410a  
20 (ottenuta con la tensione di alimentazione  $+V_{dd}=1.6V$  e la temperatura  $T=80^{\circ}C$ ) con la forma d'onda 410b (ottenuta con la tensione di alimentazione  $+V_{dd}=2V$  e la temperatura  $T=-40^{\circ}C$ ).

La stabilità della durata dell'impulso del segnale  
25 di rilevamento DETi è ulteriormente migliorata nel

Ing **Ennio PEZZOLI**

N. Iscriz. 528

(in proprio e per gli altri)

circuito ATD della Figura 3a, come risulta chiaramente dalle forme d'onda 415a ( $+V_{dd}=1.6V$ ,  $T=80^{\circ}C$ ) e 415b ( $+V_{dd}=2V$ ,  $T=-40^{\circ}C$ ).

Considerazioni analoghe si applicano se il circuito  
5 ATD è utilizzato con diverse tensioni di alimentazione e/o a diverse temperature di esercizio, se gli impulsi del segnale di rilevamento hanno un'altra forma d'onda, e simili.

Più in generale, la presente invenzione propone un  
10 circuito di rilevamento di una transizione logica. Il circuito è dotato di un terminale di ingresso per ricevere un segnale logico, e di un terminale di uscita per generare un segnale di rilevamento. In circuito  
comprende inoltre due condensatori; in una condizione  
15 stabile un primo dei condensatori ed un secondo dei condensatori sono alternativamente ad una prima tensione e ad una seconda tensione, rispettivamente. Mezzi di scambio sono previsti per portare il primo condensatore alla seconda tensione ed il secondo condensatore alla  
20 prima tensione in risposta ad una commutazione del segnale logico. Il circuito dell'invenzione è ulteriormente dotato di mezzi per mantenere un nodo di comando alla prima tensione nella condizione stabile. Il circuito comprende inoltre mezzi per generare un impulso  
25 di azzeramento tramite il primo condensatore in risposta



alla commutazione, e mezzi per portare il nodo di comando alla seconda tensione in risposta all'impulso di azzeramento. Un generatore di corrente stabilizzata è utilizzato per riportare il nodo di comando alla prima  
5 tensione tramite il secondo condensatore. Infine, il circuito include mezzi logici aventi una tensione di soglia stabilizzata (compresa tra la prima e la seconda tensione); i mezzi logici asseriscono il segnale di rilevamento quando il nodo di comando è portato alla  
10 seconda tensione e deasseriscono il segnale di rilevamento quando il nodo di comando raggiunge la tensione di soglia.

La soluzione proposta presenta un'eccellente stabilità della durata dell'impulso del segnale di  
15 rilevamento (al variare delle condizioni operative del circuito).

Infatti, l'impulso di azzeramento asserisce il segnale di rilevamento in modo quasi immediato. Il generatore di corrente stabilizzata assicura inoltre che  
20 il tempo necessario al nodo di comando per raggiungere la tensione di soglia dei mezzi logici (anche essa stabilizzata) sia sostanzialmente costante.

Tali azioni combinate fanno sì che la durata dell'impulso del segnale di rilevamento sia in buona  
25 misura indipendente della tensione di alimentazione e

dalla temperatura.

La forma di realizzazione preferita dell'invenzione sopra descritta offre ulteriori vantaggi.

In particolare, l'impulso di azzeramento è generato  
5 collegando il corrispondente nodo al condensatore attualmente carico.

La struttura proposta è estremamente semplice, ma allo stesso tempo efficace.

Preferibilmente, il nodo di comando è collegato a  
10 massa in risposta all'impulso di azzeramento.

Ciò consente di dare inizio all'impulso del segnale di rilevamento in modo molto veloce.

In una forma di realizzazione vantaggiosa della presente invenzione, il funzionamento del generatore di  
15 corrente è abilitato dal segnale di rilevamento.

Tale caratteristica aggiuntiva riduce il consumo di potenza nella condizione stabile del circuito.

La struttura in accordo con la presente invenzione si presta comunque ad essere realizzata con un'altra  
20 soluzione circuitale per generare il segnale di azzeramento, con il nodo di comando che è azzerato in modo diverso, oppure anche con il generatore di corrente che è sempre abilitato.

Un modo per migliorare ulteriormente la soluzione  
25 consiste nel filtrare il segnale logico.

Ciò consente di evitare comportamenti anomali del circuito, causati da commutazioni del segnale logico a frequenza troppo elevata.

Preferibilmente, il filtro del segnale logico è  
5 abilitato direttamente dal segnale di rilevamento.

In questo modo, qualsiasi commutazione del segnale logico durante l'impulso del segnale di rilevamento è automaticamente mascherata.

In una forma di realizzazione particolarmente  
10 vantaggiosa dell'invenzione, è previsto un blocco di regolazione che scollega il nodo di comando dal condensatore attualmente in fase di carica al raggiungimento di un'altra tensione di soglia stabilizzata.

15 Tale caratteristica aggiuntiva migliora ulteriormente la stabilità della durata dell'impulso di rilevamento.

Una scelta suggerita per il blocco di regolazione consiste di un invertitore polarizzato alternativamente  
20 tramite una corrente di valore elevato (quando il segnale di rilevamento è deasserito) oppure tramite la corrente stabilizzata fornita dal generatore (quando il segnale di rilevamento è asserito).

La soluzione escogitata consente un'accensione  
25 rapida del transistor che collega il nodo di comando al

generatore di corrente all'inizio dell'impulso del segnale di rilevamento; allo stesso tempo, essa assicura che la tensione di soglia del blocco di regolazione sia estremamente stabile.

5 In ogni caso, il circuito della presente invenzione si presta ad essere implementato anche realizzando il filtro in modo diverso, prevedendo un'altra struttura per il blocco di regolazione, oppure anche senza alcun filtro e/o senza alcun blocco di regolazione.

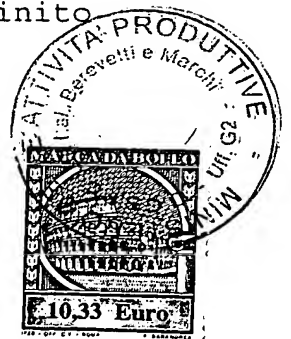
10 Il circuito proposto è particolarmente vantaggioso in un dispositivo di memoria asincrono (in quanto consente di dimensionare in modo più preciso la durata dell'impulso del segnale di rilevamento, con ciò riducendo un tempo di accesso del dispositivo di  
15 memoria).

Diverse applicazioni del circuito in accordo con la presente invenzione (ad esempio, in un generico circuito LTD) sono comunque previste.

Naturalmente alla soluzione sopra descritta un  
20 tecnico del ramo, allo scopo di soddisfare esigenze contingenti e specifiche, potrà apportare numerose modifiche e varianti, tutte peraltro contenute nell'ambito di protezione dell'invenzione, quale definito dalle seguenti rivendicazioni.

25

\* \* \* \* \*





RIVENDICAZIONI

1. Un circuito di rilevamento di una transizione logica (125) comprendente un terminale di ingresso (205i) per ricevere un segnale logico, un terminale di uscita (205o) per generare un segnale di rilevamento, due condensatori (235n,235p), in una condizione stabile un primo dei condensatori (235n) ed un secondo dei condensatori (235p) essendo alternativamente ad una prima tensione e ad una seconda tensione, rispettivamente, e mezzi di scambio (220n-225n;220p-225p) per portare il primo condensatore alla seconda tensione ed il secondo condensatore alla prima tensione in risposta ad una commutazione del segnale logico,

caratterizzato dal fatto che

il circuito ulteriormente comprende mezzi (265) per mantenere un nodo di comando (245) alla prima tensione nella condizione stabile, mezzi (230n;230p) per generare un impulso di azzeramento tramite il primo condensatore in risposta alla commutazione, mezzi (255) per portare il nodo di comando alla seconda tensione in risposta all'impulso di azzeramento, un generatore di corrente stabilizzata (275-290b) per riportare il nodo di comando alla prima tensione tramite il secondo condensatore, e mezzi logici (260,265) aventi una tensione di soglia

stabilizzata compresa tra la prima e la seconda tensione, i mezzi logici asserendo il segnale di rilevamento quando il nodo di comando è portato alla seconda tensione e deasserendo il segnale di rilevamento quando il nodo di comando raggiunge la tensione di soglia.

2. Il circuito (125) secondo la rivendicazione 1, in cui i mezzi (230n;230p) per generare l'impulso di azzeramento includono un interruttore elettronico (230n) per collegare un nodo di azzeramento (250) che fornisce l'impulso di azzeramento al primo condensatore (235n).

3. Il circuito (125) secondo la rivendicazione 1 o 2, in cui i mezzi (255) per portare il nodo di comando (245) alla seconda tensione includono un ulteriore interruttore elettronico (255) per collegare il nodo di comando (245) ad un terminale di alimentazione che fornisce la seconda tensione in risposta all'impulso di azzeramento.

4. Il circuito (125) secondo una qualsiasi delle rivendicazioni da 1 a 3, ulteriormente comprendente mezzi (285) per abilitare il generatore di corrente (275-290b) in risposta al segnale di rilevamento.

5. Il circuito (125) secondo una qualsiasi delle rivendicazioni da 1 a 4, ulteriormente comprendente mezzi di filtraggio (210,217a,217b) per filtrare il segnale logico (ADRI).

6. Il circuito (125) secondo la rivendicazione 5, ulteriormente comprendente mezzi (215) per abilitare i mezzi di filtraggio (210, 217a, 217b) in risposta al segnale di rilevamento (DETi).

5        7. Il circuito (125) secondo una qualsiasi delle rivendicazioni da 1 a 6, ulteriormente comprendente mezzi di collegamento (305) per collegare selettivamente il nodo di comando (245) al secondo condensatore (235p), e mezzi di regolazione (320l, 320h, 325, 330), aventi una  
10 ulteriore tensione di soglia stabilizzata, per abilitare i mezzi di collegamento quando il nodo di comando è portato alla seconda tensione e per disabilitare il mezzi di collegamento quando il nodo di comando raggiunge l'ulteriore tensione di soglia.

15        8. Il circuito (125) secondo la rivendicazione 7, in cui i mezzi di regolazione (320l, 320h, 325, 330) includono una porta logica (320l, 320h) che controlla i mezzi di trasferimento (305), primi mezzi di polarizzazione (325) della porta logica per applicare la corrente stabilizzata  
20 fornita dal generatore di corrente (275-290b) e secondi mezzi di polarizzazione (330) della porta logica per applicare una ulteriore corrente superiore alla corrente stabilizzata, i primi mezzi di polarizzazione essendo abilitati quando il segnale di rilevamento è asserito ed  
25 i secondi mezzi di polarizzazione essendo abilitati

quando il segnale di rilevamento è deasserito.

9. Un dispositivo di memoria asincrono (100) comprendente una matrice di celle di memoria (105), mezzi (115) per ricevere un indirizzo (ADR) di selezione delle  
5 celle di memoria, il circuito (125) secondo una qualsiasi delle rivendicazioni da 1 a 8 per rilevare una commutazione dell'indirizzo, e mezzi (130) per attivare un'operazione sulle celle di memoria selezionate dall'indirizzo in risposta al rilevamento della  
10 commutazione.

10. Un metodo di rilevamento di una transizione logica comprendente i passi di:

in una condizione stabile mantenere un primo ed un secondo di due condensatori alternativamente ad una prima  
15 tensione e ad una seconda tensione, rispettivamente,

ricevere un segnale logico in ingresso,

portare il primo condensatore alla seconda tensione ed il secondo condensatore alla prima tensione in risposta ad una commutazione del segnale logico, e

20 generare un segnale di rilevamento in uscita

caratterizzato dai passi di

mantenere un nodo di comando alla prima tensione nella condizione stabile,

generare un impulso di azzeramento tramite il primo  
25 condensatore in risposta alla commutazione,



portare il nodo di comando alla seconda tensione in  
risposta all'impulso di azzeramento,

asserire il segnale di rilevamento quando il nodo di  
comando è portato alla seconda tensione,

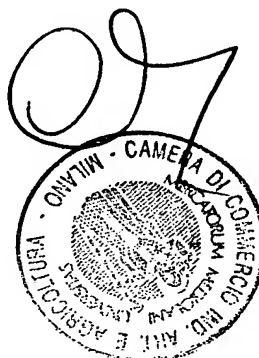
5        riportare il nodo di comando alla prima tensione  
tramite il secondo condensatore utilizzando un generatore  
di corrente stabilizzata, e

deasserire il segnale di rilevamento quando il nodo  
di comando raggiunge una tensione di soglia stabilizzata  
10       compresa tra la prima tensione e la seconda tensione.

**Ing. Ennio PEZZOLI**

N. Iscriz. 528

~~(in proprio e per gli altri)~~



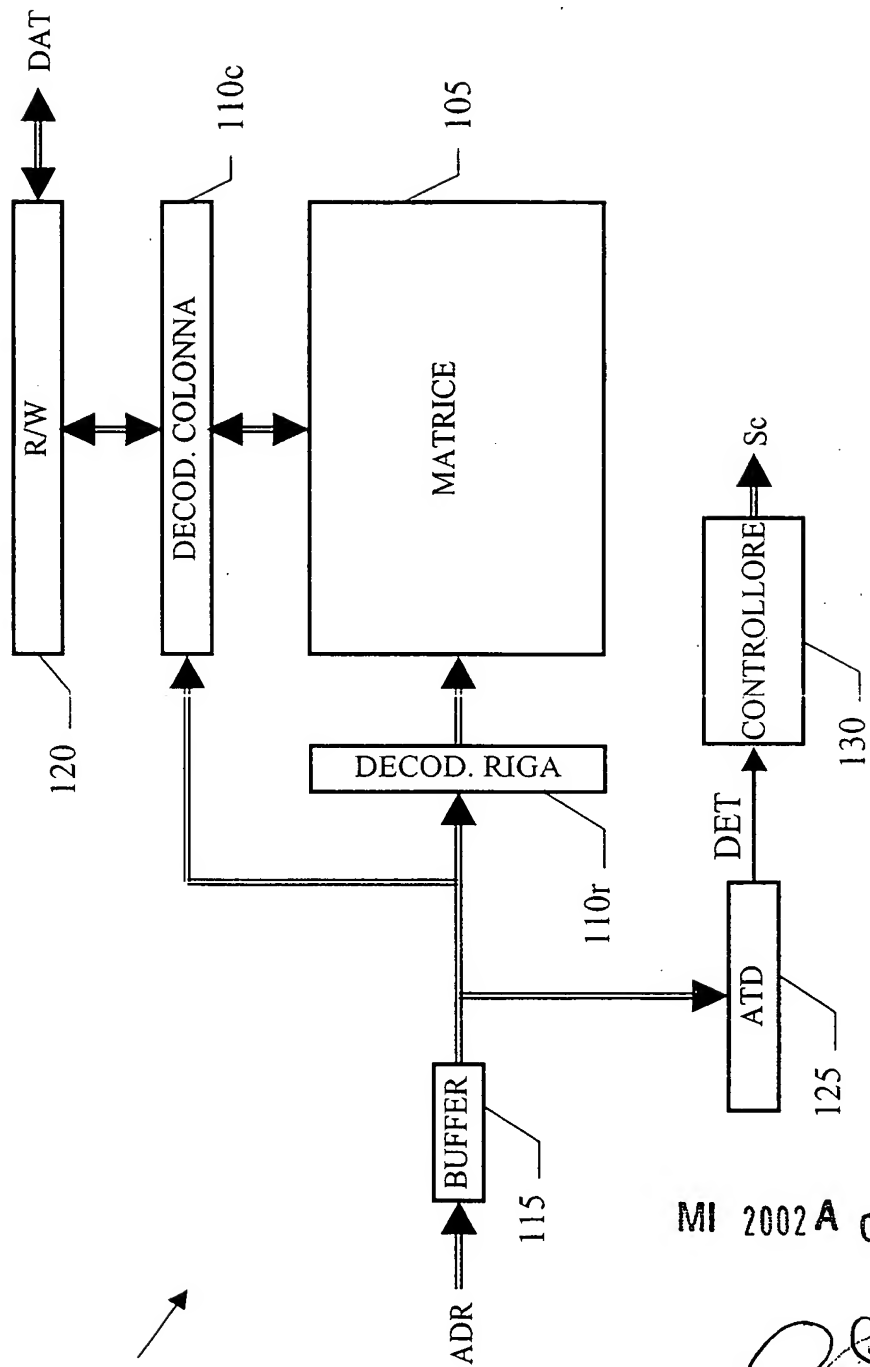
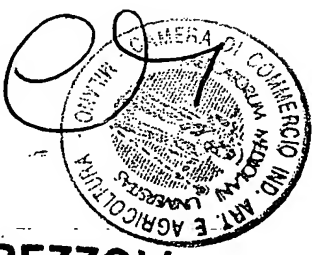


FIG.1

MI 2002A 0 0 2 3 1 4



Ing. Ennio PEZZOLI  
N. Iscriz. 528  
(improprio e per gli altri)

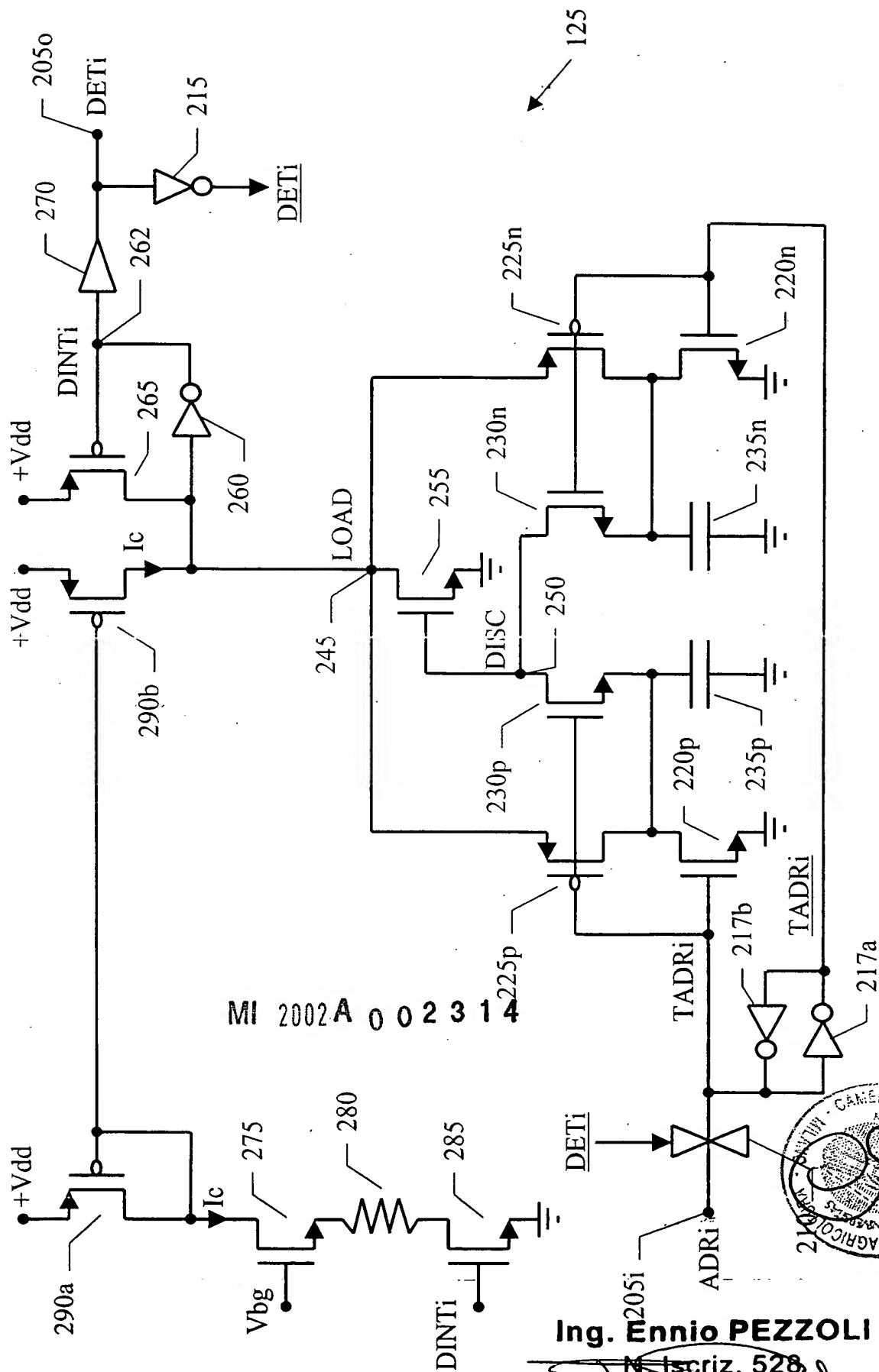
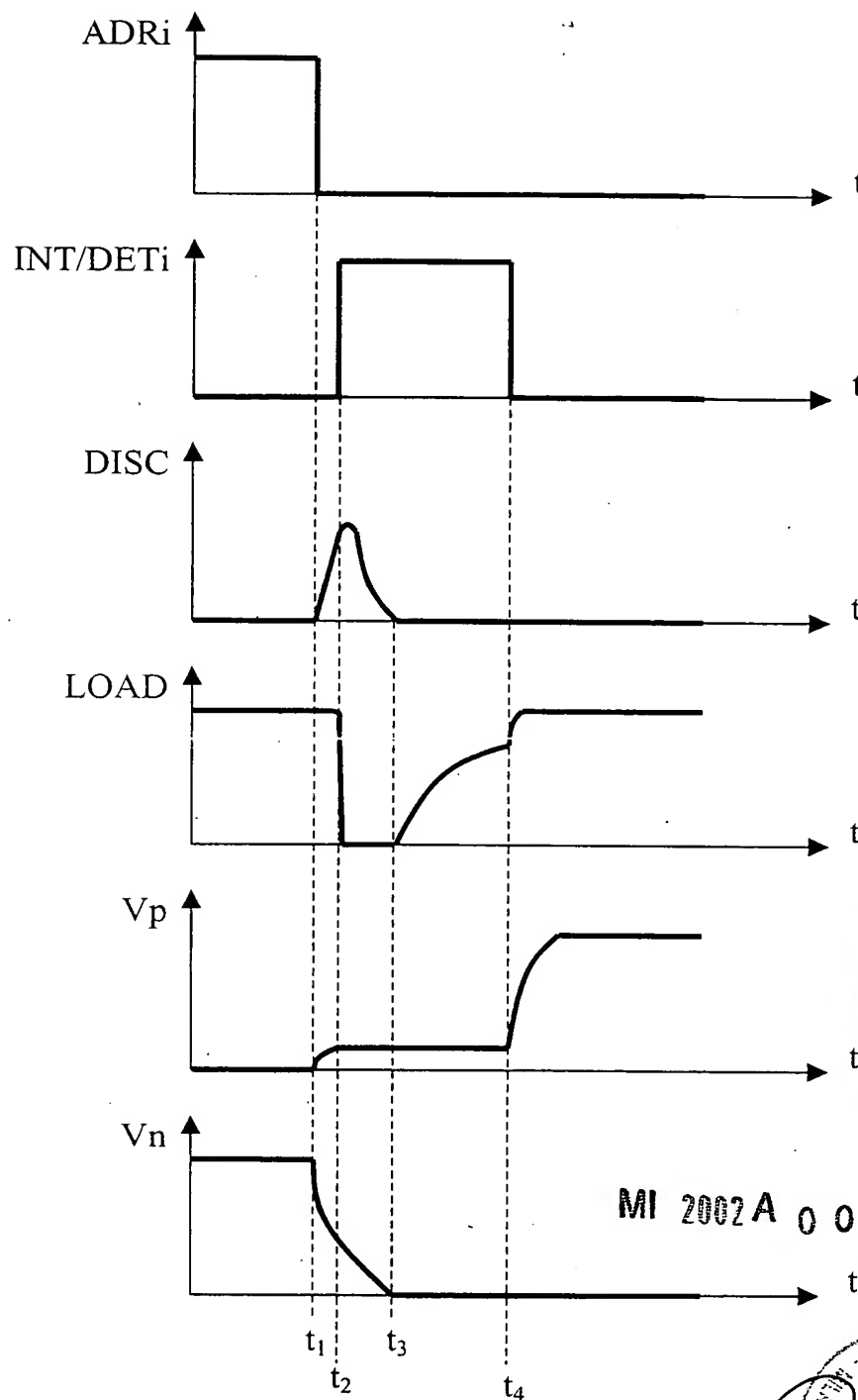
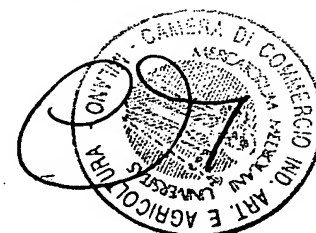


FIG. 2a

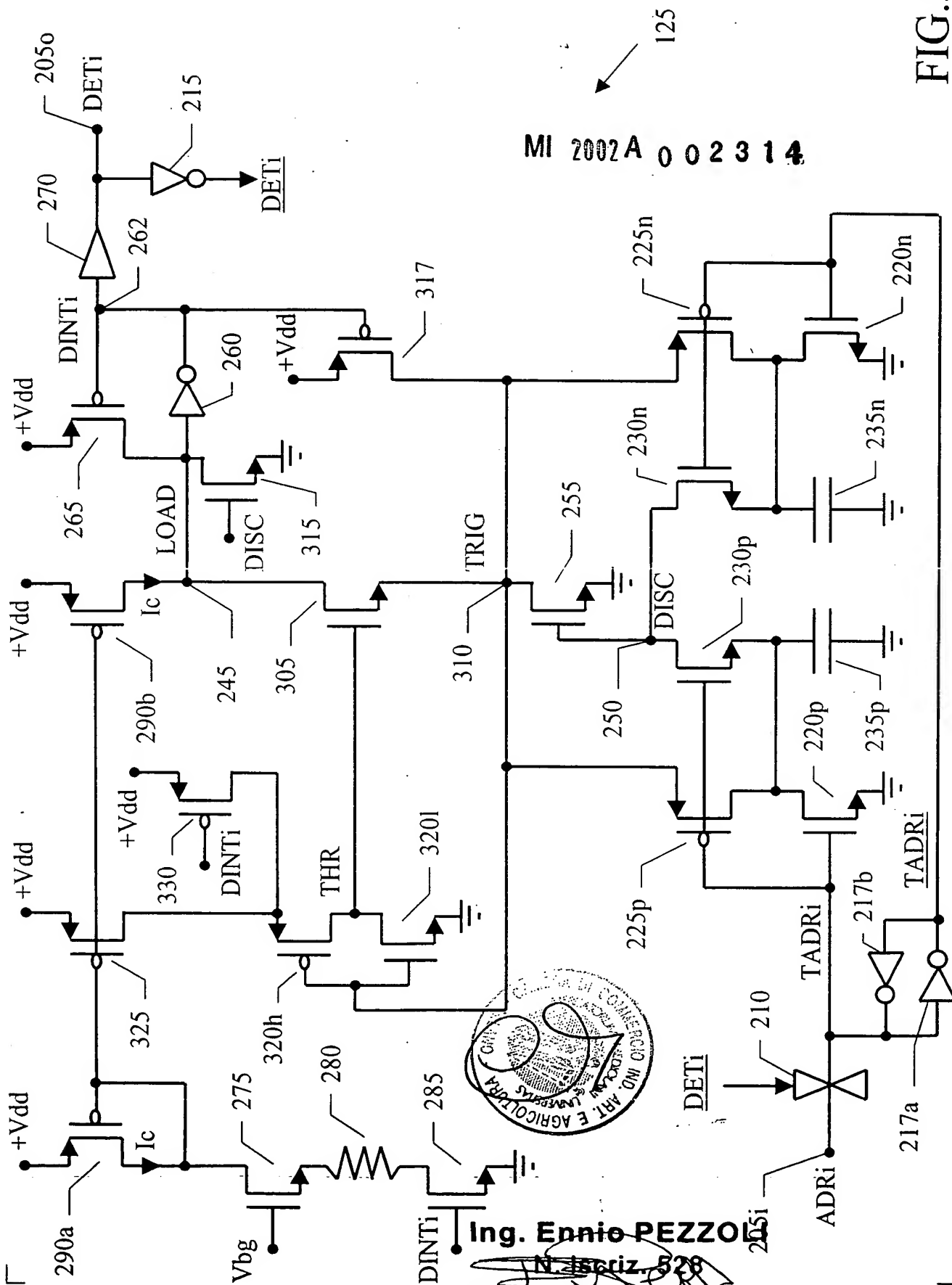


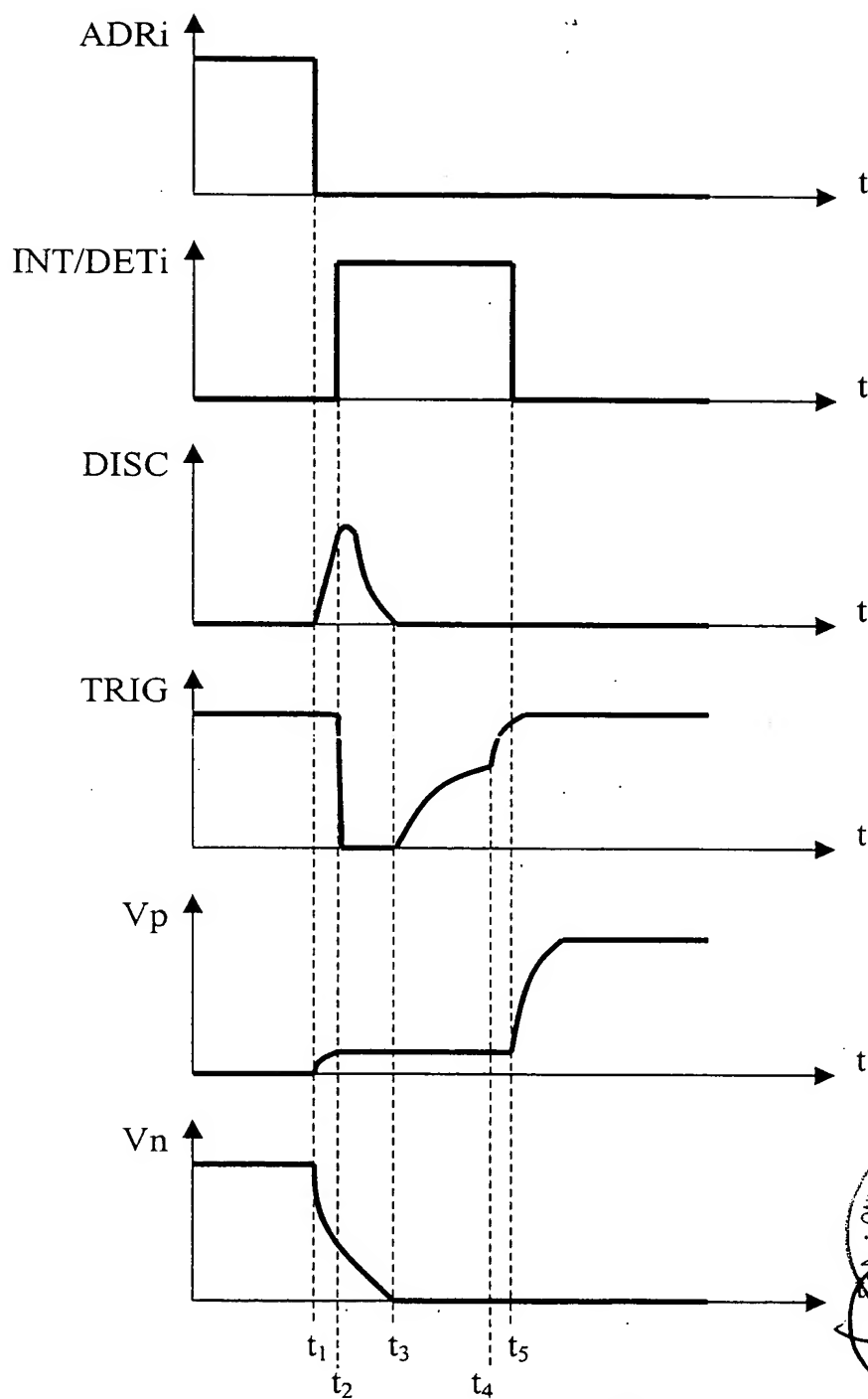
MI 2002 A 0 0 2 3 1 4

**FIG.2b** Ing. **Ennio PEZZOLI**

N. Iscriz. 528  
(in proprio e per gli altri)





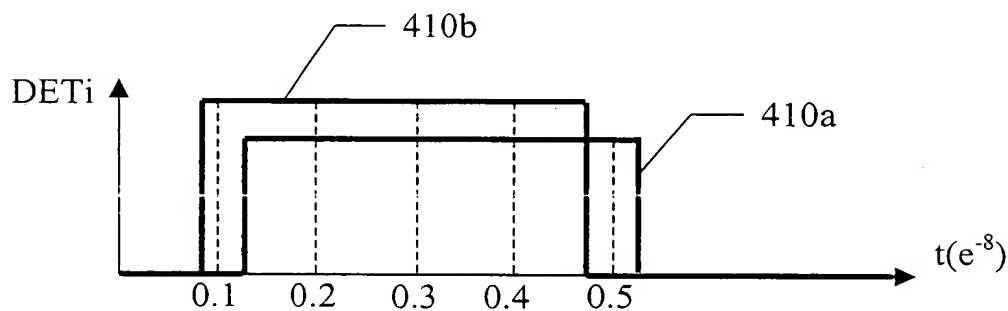
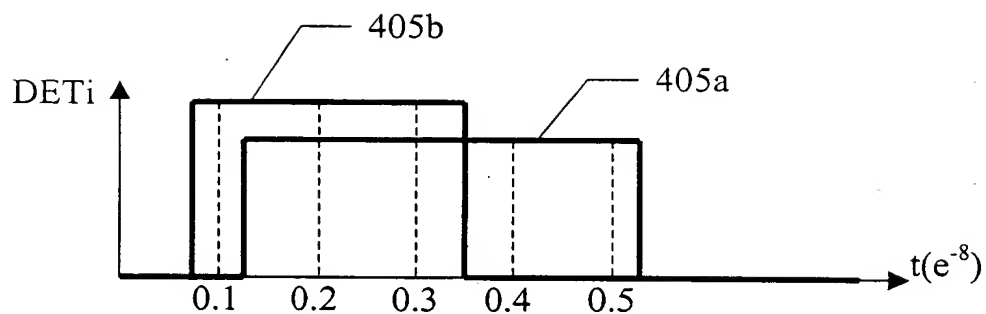


MI 2002 A 0 0 2 3 1 4

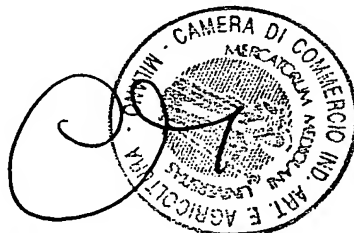
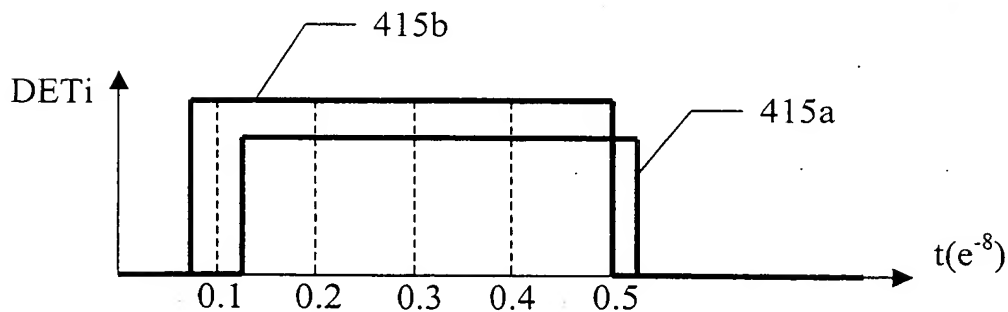
**FIG.3b****Ing. Ennio PEZZOLI**

N. Isoriz. 528

(in proprio e per gli altri)



MI 2002 A 0 0 2 3 1 4



**FIG.4**

**Ing. Ennio PEZZOLI**

N. Iscriz. 528

(in proprio e per gli altri)